

**Dispositif de comparaison de deux mots de n bits chacun.**

L'invention concerne un dispositif de comparaison de deux mots (bus) N et P de n bits chacun. Il peut notamment, mais non exclusivement être réalisé sous la forme d'un circuit à base de transistors MOS.

Le comparateur selon l'invention peut être utilisé dans n'importe quel type de circuit nécessitant une comparaison de deux bus de n bits.

Traditionnellement, la comparaison de deux mots est faite à partir d'un soustracteur à propagation de retenue. La soustraction se fait bit à bit. La retenue se propage en série de bit à bit.

Un inconvénient de cette solution connue est que plus le nombre de bits des mots à comparer est élevé, plus la soustraction prend du temps.

Un autre inconvénient de cette solution connue est qu'elle est lente et demande un nombre important de transistors.

Il a par ailleurs été proposé d'utiliser un soustracteur parallèle afin de diminuer le temps de propagation de la retenue. L'inconvénient de cette variante est qu'elle augmente considérablement la complexité du circuit, c'est-à-dire le nombre de transistors.

L'invention a notamment pour objectif de pallier ces différents inconvénients de l'état de la technique.

Plus précisément, l'un des objectifs de la présente invention est de fournir un dispositif de comparaison rapide.

Un autre objectif de l'invention est de fournir un dispositif de comparaison modulable et toujours performant quel que soit le nombre de bits des mots à comparer.

Un objectif complémentaire de l'invention est de fournir un dispositif de comparaison performant et économique en nombre de transistors.

Ces différents objectifs, ainsi que d'autres qui apparaîtront par la suite, sont atteints selon l'invention à l'aide d'un dispositif de comparaison de deux mots N et P de n bits chacun, ledit dispositif comprenant au moins un bloc comparateur de niveau 1 comprenant lui-même :

- n blocs comparateur de base, permettant chacun de comparer les bits  $N_i$  et  $P_i$  de rang i des mots N et P, avec i compris entre 0 et n-1, et comprenant chacun :

- \* un premier sous-bloc permettant de générer sur sa sortie, formant une première sortie (OUT\_XOR<sub>i</sub>) du bloc comparateur de base, un premier signal indiquant si les bits N<sub>i</sub> et P<sub>i</sub> sont égaux ou non ;
  - \* un second sous-bloc permettant de générer sur sa sortie un second signal indiquant lequel des bits N<sub>i</sub> et P<sub>i</sub> est le plus grand ;
  - \* un troisième sous-bloc permettant de laisser passer le second signal sur une seconde sortie (SOUT<sub>i</sub>) du bloc comparateur de base, si le premier signal n'indique pas une égalité des bits N<sub>i</sub> et P<sub>i</sub>, et de bloquer le second signal dans le cas contraire ;
- des moyens de génération d'un troisième signal sur une première sortie (OUT\_XOR4\_b) du bloc comparateur de niveau 1, indiquant que les nombres N et P sont égaux si les n premiers signaux indiquent que les n bits N<sub>i</sub> et les n bits P<sub>i</sub> sont égaux, et indiquant que les nombres N et P ne sont pas égaux dans le cas contraire ;
  - des premiers moyens de passage sélectif, permettant de relier sélectivement à une seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 la seconde sortie (SOUT<sub>i</sub>) d'un bloc comparateur de base qui, parmi les blocs comparateurs de base ayant un second signal sur leur seconde sortie, traite des bits de plus fort poids, le signal présent sur la seconde sortie du bloc comparateur de niveau 1 indiquant lequel des nombres N et P est le plus grand.

Le principe général de l'invention consiste donc à ne pas utiliser de moyens de soustraction mais uniquement des moyens de comparaison. En effet, chaque bloc comparateur de base fournit deux signaux utilisés par le bloc comparateur de niveau 1 : l'un indiquant l'égalité ou non entre deux bits, et l'autre indiquant lequel des deux bits est le plus grand. De même, chaque bloc comparateur de niveau 1 fournit deux signaux : l'un indiquant l'égalité ou non entre deux groupes de bits, et l'autre indiquant lequel des deux groupes de bits est le plus grand.

Comme expliqué par la suite, dans un mode de réalisation particulier de l'invention, les signaux fournis par une pluralité de blocs comparateur de niveau 1 sont utilisés par un bloc comparateur de niveau 2. Plus généralement, il est possible de prévoir plusieurs niveaux de blocs comparateur : chaque bloc comparateur de niveau k-1

fournissant deux signaux destinés à être utilisés par un bloc comparateur de niveau  $k$  : l'un indiquant l'égalité ou non entre deux groupes de bits, et l'autre indiquant lequel des deux groupes de bits est le plus grand.

Pour deux mots de  $n$  bits, le principe de calcul est le suivant : en partant des poids forts, dès qu'un bit  $P_i$  ( $i$  compris entre 0 et  $n-1$ ) est différent d'un bit  $N_i$  ( $i$  compris entre 0 et  $n-1$ ) alors un des deux nombres est plus grand que l'autre. Ainsi si  $N_i$  est égal à 1 et  $P_i$  à 0 alors  $N$  est plus grand que  $P$ , sinon si  $P_i$  est égal à 1 et  $N_i$  à 0 alors  $P$  est plus grand que  $N$ .

L'originalité de l'invention est d'utiliser une structure de base (bloc comparateur de base) contenant peu de transistors et permettant un temps de propagation très faible. Cette structure va être répétée  $n$  fois et interconnectée par des moyens spécifiques pour constituer un bloc comparateur (de niveau 1)  $n$  bits. Comme expliqué ci-après, dans un mode de réalisation préférentiel de l'invention, plusieurs blocs comparateur de niveau 1 peuvent fonctionner très rapidement, en parallèle et de manière totalement autonome, reliés entre eux par des moyens spécifiques, permettant ainsi de comparer des mots ayant un nombre de bits important.

Avantageusement, le premier sous-bloc comprend une porte « OU exclusif » recevant en entrée les bits  $N_i$  et  $P_i$ .

De façon avantageuse, le second sous-bloc comprend une porte « OU » recevant en entrée le bit  $P_i$  et, via un inverseur, le bit  $N_i$ .

Avantageusement, le troisième sous-bloc comprend une porte « de passage sélectif » dont l'entrée est reliée à la sortie du second sous-bloc et qui est commandée par la sortie du premier sous-bloc.

Selon une caractéristique avantageuse, les moyens de génération du troisième signal, sur la première sortie du bloc comparateur de niveau 1, comprennent une porte « OU » dont les entrées sont reliées aux premières sorties des blocs comparateur de base.

Préférentiellement, les premiers moyens de passage sélectif comprennent :

- des moyens permettant de relier la seconde sortie du bloc comparateur de base traitant les bits de poids forts  $N_{n-1}$  et  $P_{n-1}$  à la seconde sortie du bloc comparateur de niveau 1, de façon directe ;

- pour chacun des autres blocs comparateur de base traitant des bits  $N_j$  et  $P_j$ , avec  $j$  compris entre 0 et  $n-2$ , des moyens permettant de relier la seconde sortie du bloc comparateur de base à la seconde sortie du bloc comparateur de niveau 1, via une porte « de passage sélectif » commandée par la sortie d'une porte « OU » dont les entrées sont reliées aux premières sorties des blocs comparateur de base de poids supérieur à  $j$ .

Dans un mode de réalisation avantageux de l'invention, ledit au moins un bloc comparateur de niveau 1 comprend en outre des moyens de mémorisation de la valeur présente sur la seconde sortie du bloc comparateur de niveau 1.

De façon préférentielle, les moyens de mémorisation comprennent :

- une porte « NON OU » dont une première entrée est reliée à la seconde sortie du bloc comparateur de niveau 1 et une seconde entrée est reliée, via un inverseur, à la première sortie du bloc comparateur de niveau 1 ;
- un inverseur faible courant reliant la sortie de ladite porte « NON OU » à la première entrée de ladite porte « NON OU ».

Dans un mode de réalisation particulier de l'invention, le dispositif comprend au moins un bloc comparateur de niveau 2 comprenant lui-même :

- $q$  blocs comparateur de niveau 1, avec  $q \geq 2$ , comprenant chacun une partie des  $n$  blocs comparateur de base ;
- des moyens de génération d'un quatrième signal sur une première sortie du bloc comparateur de niveau 2, indiquant que les nombres  $N$  et  $P$  sont égaux si les premières sorties des  $q$  blocs comparateur de niveau 1 indiquent que les bits qu'ils comparent sont égaux, et indiquant que les nombres  $N$  et  $P$  ne sont pas égaux dans le cas contraire ;
- des seconds moyens de passage sélectif, permettant de relier sélectivement à une seconde sortie du bloc comparateur de niveau 2 la seconde sortie d'un bloc comparateur de niveau 1 qui, parmi les blocs comparateurs de niveau 1 ayant un second signal sur leur seconde sortie, traite des bits de plus fort poids, le signal présent sur la seconde sortie du bloc comparateur de niveau 2 indiquant lequel des nombres  $N$  et  $P$  est le plus grand.

Ainsi, pour améliorer la vitesse de traitement, on utilise un mode de comparaison parallèle. Pour comparer deux mots de  $n$  bits,  $N$  et  $P$ , on décompose le comparateur en plusieurs blocs comparateur de niveau 1 fonctionnant en parallèle. Le découpage peut se faire sur des blocs de 4 bits maximum, mais aussi sur des blocs de 2 bits, 3 bits, 5 bits ou plus. Le découpage par 4 est plus intéressant en terme de nombre de transistors et de rapidité pour des bus de format 8, 16, 32, 40...

Avantageusement, les moyens de génération du quatrième signal, sur la première sortie du bloc comparateur de niveau 2, comprennent une porte « OU » dont les entrées sont reliées aux premières sorties des blocs comparateur de niveau 1.

De façon avantageuse, les seconds moyens de passage sélectif comprennent :

- des moyens permettant de relier la seconde sortie du bloc comparateur de niveau 1 traitant les bits de poids forts à la seconde sortie du bloc comparateur de niveau 2, via une porte « de passage sélectif » commandée par la première sortie du bloc comparateur de niveau 1 traitant les bits de poids forts ;
- pour chacun des autres blocs comparateur de niveau 1, des moyens permettant de relier la seconde sortie du bloc comparateur de niveau 1 à la seconde sortie du bloc comparateur de niveau 2, via une porte « de passage sélectif » commandée par la sortie d'une porte « OU » dont une entrée est reliée, via un inverseur, à la première sortie dudit bloc comparateur de niveau 1, et dont les autres entrées sont reliées aux premières sorties des blocs comparateur de niveau 1 de poids supérieur.

Avantageusement, ledit au moins un bloc comparateur de niveau 2 comprend en outre des moyens de mémorisation de la valeur présente sur la seconde sortie du bloc comparateur de niveau 2.

Selon une caractéristique avantageuse, les moyens de mémorisation comprennent :

- une porte « NON OU » dont une première entrée est reliée à la seconde sortie du bloc comparateur de niveau 2 et une seconde entrée est reliée, via un inverseur, à la première sortie du bloc comparateur de niveau 2 ;
- un inverseur faible courant reliant la sortie de ladite porte « NON OU » à la première entrée de ladite porte « NON OU ».

Dans un mode de réalisation particulier de l'invention, le dispositif comprend au moins un bloc comparateur de niveau  $k$ , avec  $k \geq 2$ , comprenant lui-même :

- $p$  blocs comparateur de niveau  $k-1$ , avec  $p \geq 2$  ;
- des moyens de génération d'un cinquième signal sur une première sortie du bloc comparateur de niveau  $k$ , indiquant que les nombres  $N$  et  $P$  sont égaux si des premières sorties des  $p$  blocs comparateur de niveau  $k-1$  indiquent que les bits qu'ils comparent sont égaux, et indiquant que les nombres  $N$  et  $P$  ne sont pas égaux dans le cas contraire ;
- des troisièmes moyens de passage sélectif, permettant de relier sélectivement à une seconde sortie du bloc comparateur de niveau  $k$  la seconde sortie d'un bloc comparateur de niveau  $k-1$  qui, parmi les blocs comparateurs de niveau  $k-1$  ayant un signal sur leur seconde sortie, traite des bits de plus fort poids, le signal présent sur la seconde sortie du bloc comparateur de niveau  $k$  indiquant lequel des nombres  $N$  et  $P$  est le plus grand.

Avantageusement, chaque porte « de passage sélectif » comprend un transistor  $N$  monté en parallèle avec un transistor  $P$ .

Selon une caractéristique avantageuse, le dispositif est réalisé sous la forme d'un circuit câblé.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante d'un mode de réalisation préférentiel de l'invention, donné à titre d'exemple indicatif et non limitatif, et des dessins annexés, dans lesquels :

- la figure 1 présente un schéma d'un bloc comparateur de base (bloc comparateur 1 bit), compris dans un comparateur 8 bits selon un mode de réalisation particulier de l'invention ;
- la figure 2 présente un schéma d'un bloc comparateur de niveau 1 (bloc comparateur 4 bits), compris dans un comparateur 8 bits selon un mode de réalisation particulier de l'invention ;
- la figure 3 présente un schéma d'un comparateur 8 bits selon un mode de réalisation particulier de l'invention ;

- la figure 4 présente des moyens (optionnels) de mémorisation de la valeur présente sur la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 (bloc comparateur 4 bits) de la figure 2.

On présente maintenant, en relation avec la **figure 1**, un bloc comparateur de base (bloc comparateur 1 bit).

Ce bloc reçoit en entrée deux bits  $N_i$  et  $P_i$  à comparer (bits de rang  $i$  des mot  $N$  et  $P$ ). Il présente deux sorties : l'une (OUT\_XOR $_i$ ) indique si les deux bits  $N_i$  et  $P_i$  sont égaux, l'autre (SOUT $_i$ ) indique lequel des deux bits  $N_i$  et  $P_i$  est le plus grand.

Il comprend :

- un premier sous-bloc comprenant une porte « OU exclusif » (XOR), recevant en entrée les bits  $N_i$  et  $P_i$  et dont la sortie constitue la première sortie OUT\_XOR $_i$  du bloc comparateur 1 bit. Cette porte XOR est elle-même constituée d'une porte « Non OU exclusif » (NXOR) 1 suivie d'un inverseur 2 ;
- un second sous-bloc comprenant une porte « OU » (OR) recevant en entrée le bit  $P_i$  et, via un inverseur 3, le bit  $N_i$ . Cette porte OR est elle-même constituée d'une porte « Non OU » (NOR) 4 suivie d'un inverseur 5 ;
- un troisième sous-bloc comprenant une porte de passage sélectif (« pass-gate ») 9 dont l'entrée est reliée à la sortie du second sous-bloc (c'est-à-dire à l'inverseur référencé 5) et dont la sortie constitue la seconde sortie SOUT $_i$  du bloc comparateur 1 bit. Cette porte de passage sélectif est commandée par la première sortie OUT\_XOR $_i$  du bloc comparateur 1 bit. En effet, elle comprend un transistor  $N$  6 monté en parallèle avec un transistor  $P$  7, qui activés par la première sortie OUT\_XOR $_i$ , directement ou via un inverseur 8 respectivement.

On détaille maintenant le fonctionnement de ce bloc comparateur 1 bit. Le premier sous-bloc 1, 2 permet de savoir si les deux bits ( $N_i$  et  $P_i$ ) sont égaux ou pas. Ensuite la porte de passage 9, commandée par la sortie du premier sous-bloc 1, 2 (OU exclusif) permet, soit de transmettre le résultat de la comparaison si  $N_i$  est différent de  $P_i$ , soit de mettre le signal de sortie SOUT $_i$  en haute impédance (porte de passage bloquée pour  $N_i$  égale à  $P_i$ ). Ainsi lorsque :

- $N_i = P_i$ , alors  $OUT\_XOR_i = 0$  et  $SOUT_i$  est HZ (haute impédance) ;
- $P_i = 1$  et  $N_i = 0$  alors  $OUT\_XOR_i = 1$  et  $SOUT_i = 1$  ;
- $P_i = 0$  et  $N_i = 1$  alors  $OUT\_XOR_i = 1$  et  $SOUT_i = 0$ .

On présente maintenant, en relation avec la **figure 2**, un bloc comparateur de niveau 1 (bloc comparateur 4 bits).

Ce bloc reçoit en entrée un bus d'entrée N de 4 bits ( $N_3, N_2, N_1, N_0$ ) et un bus d'entrée P de 4 bits ( $P_3, P_2, P_1, P_0$ ), N et P étant des mots de 4 bits à comparer.

Il présente trois sorties :

- la sortie  $OUT\_XOR4\_b$ , qui est active à 0 et indique si les deux nombres de 4 bits sont égaux ;
- la sortie  $OUT\_XOR4$ , qui est l'inverse de la sortie  $OUT\_XOR4\_b$ . Elle est donc active à 1 et indique si les deux nombres de 4 bits sont égaux ;
- la sortie  $OUT\_COMP4$ , qui indique le résultat de la comparaison des deux nombres de 4 bits (c'est-à-dire lequel des deux est le plus grand).

Il comprend :

- quatre blocs comparateur 1bit référencés 21 à 24 ;
- trois portes « Non OU » (NOR) référencées 25 à 27 ;
- quatre inverseurs référencés 28 à 31 ;
- trois portes de passage sélectif référencées 212 à 214.

La porte NOR référencée 25 et l'inverseur référencé 28 qui la suit forment ensemble une porte « OU » (OR), recevant en entrée les sorties  $OUT\_XOR_i$  des quatre blocs comparateur 1bit. La sortie de cette porte OR constitue la sortie  $OUT\_XOR4\_b$  du bloc comparateur 4 bits. La sortie  $OUT\_XOR4$  du bloc comparateur 4 bits correspond directement à la sortie de la porte NOR référencée 25.

La sortie  $SOUT_i$  du bloc comparateur 1 bit référencé 21, qui traite les bits de poids forts  $N_3$  et  $P_3$ , est reliée directement à la sortie  $OUT\_COMP4$  du bloc comparateur 4 bits.

La sortie  $SOUT_i$  de chacun des autres blocs comparateur 1 bit référencés 22 à 24, qui traitent des bits  $N_j$  et  $P_j$  (avec j compris entre 0 et n-2), est reliée à la sortie  $OUT\_COMP4$  du bloc comparateur 4 bits, via une des portes « de passage sélectif » 212 à 214. Chacune de ces portes « de passage sélectif » est commandée par un « OU »



(réalisé avec l'une des portes NOR 26, 27 et l'inverseurs 29, 210 qui la suit, ou bien par le seul inverseur référencé 211) des sorties OUT\_XOR<sub>i</sub> des blocs comparateur 1 bit de poids supérieur.

On détaille maintenant le fonctionnement de ce bloc comparateur 4 bits. En partant des poids forts, dès que la sortie OUT\_XOR<sub>i</sub> d'un bloc comparateur 1bit est différente de 0, c'est-à-dire qu'un bit P<sub>i</sub> est différent d'un bit N<sub>i</sub>, alors un des deux nombres N et P est plus grand que l'autre. A ce moment, la comparaison est terminée. On peut détecter suivant la valeur de SOUT<sub>i</sub> (du bloc comparateur 1bit dont la sortie OUT\_XOR<sub>i</sub> est différente de 0) lequel des deux nombres N et P est le plus grand. Il n'est donc pas nécessaire de tenir compte des blocs de comparaison 1 bit suivants (de poids plus faible). Il est même nécessaire de bloquer leurs sorties (qui fausseraient la comparaison). Pour cela, il faut bloquer les portes de passages 212 à 214 reliant les sorties SOUT<sub>i</sub> des comparateur 1bit de poids inférieurs à la sortie OUT\_COMP4. Ces portes de passage sont commandées par un OU des sorties OUT\_XOR<sub>i</sub> des blocs comparateur 1bit de poids supérieur. Ainsi, en partant des poids forts, dès qu'une sortie OUT\_XOR<sub>i</sub> d'un bloc comparateur 1bit est égale à 1, elle positionne à 0 toutes les sorties des portes NOR reliées aux sorties OUT\_XOR<sub>i</sub> de poids inférieurs. Les sorties des portes NOR bloquent ainsi les portes de passage reliant les sortie SOUT<sub>i</sub> des comparateurs 1bit de poids inférieurs à la sortie OUT\_COMP4.

Lorsque les quatre bits de N sont identiques aux quatre bits de P, les deux nombres de quatre bits sont alors identiques. Un OU des quatre sorties OUT\_XOR<sub>i</sub> des quatre comparateurs 1 bit permet de générer le signal OUT\_XOR4\_b. Le signal OUT\_XOR4\_b est égal à 0 lorsque les 2 nombres sont égaux. Le signal OUT\_XOR4 est l'inverse de OUT\_XOR4\_b.

On présente maintenant, en relation avec la **figure 3**, un bloc comparateur 8 bits.

Ce bloc reçoit en entrée un bus d'entrée N de 8 bits et un bus d'entrée P de 8 bits, N et P étant des mots de 8 bits à comparer.

Il présente deux sorties :

- la sortie OUT\_XOR8\_b, qui est active à 0 et indique si les deux nombres de 8 bits sont égaux ;

- la sortie OUT\_COMP8, qui indique le résultat de la comparaison des deux nombres de 8 bits (c'est-à-dire lequel des deux est le plus grand).

Il comprend :

- deux blocs comparateur 4 bits référencés 31 et 32 ;
- trois portes NOR référencées NOR0, NOR1 et NOR2 ;
- quatre inverseurs référencés 33 à 36 ;
- deux portes de passage sélectif référencées PG0 et PG1.

La porte NOR1 et l'inverseur référencé 35 qui la suit forment ensemble une porte OR, recevant en entrée les sorties OUT\_XOR4\_b des deux blocs comparateur 4 bits. La sortie de cette porte OR constitue la sortie OUT\_XOR8\_b du bloc comparateur 8 bits.

La sortie OUT\_COMP4 du bloc comparateur 4 bits référencé 31, qui traite les bits de poids forts, est reliée à la sortie OUT\_COMP8 du bloc comparateur 8 bits via la porte de passage sélectif PG0 (ainsi que via des moyens de mémorisation construits autour de la porte NOR2, comme expliqué ci-après). La porte de passage sélectif PG0 est commandée par la sortie OUT\_XOR4\_b du bloc comparateur 4 bits référencé 31.

La sortie OUT\_COMP4 de l'autre bloc comparateur 4 bits référencé 32 est reliée à la sortie OUT\_COMP8 du bloc comparateur 8 bits, via la porte de passage sélectif PG1 (ainsi que via des moyens de mémorisation construits autour de la porte NOR2, comme expliqué ci-après). La porte de passage sélectif PG1 est commandée par un « non OU » (réalisé avec la porte NOR0) de la sortie OUT\_XOR4\_b du bloc comparateur 4 bits référencé 31 et de la sortie OUT\_XOR4 du bloc comparateur 4 bits référencé 32.

On détaille maintenant le fonctionnement de ce bloc comparateur 8 bits. On utilise deux blocs comparateur 4bits fonctionnant en parallèle. Le premier bloc 31 est relié aux quatre bits de poids forts des bus N et P. Le second bloc 32 est relié aux bits de poids faibles des bus N et P. Ainsi les deux blocs 31, 32 fonctionnent totalement en parallèle mais la validation de la sortie du bloc de poids faible 31 dépend de la valeur du signal de sortie OUT\_XOR4\_b du bloc de poids fort 32.

Si la sortie OUT\_XOR4\_b du premier bloc comparateur\_4bits 31 est égal à 1, alors un des deux nombres de 4 bits est supérieur à l'autre. La valeur du signal

OUT\_COMP4 du premier bloc 31 indique lequel des deux nombres est le plus grand. La porte de passage PG0 est alors passante, tandis que la porte de passage PG1 est bloquée par la porte NOR0. Le signal OUT\_COMP8 donne alors le résultat de la comparaison des 8 bits (il est à 0 si N est supérieur à P).

Si la sortie OUT\_XOR4\_b du premier bloc comparateur 4 bits 31 est égal à 0, c'est que les quatre bits de poids fort sont identiques, le résultat de la comparaison découlera de la comparaison des 4 bits de poids faibles. Deux cas sont alors possibles.

Premier cas : si le signal OUT\_XOR4\_b du second bloc 32 est égal à 0, alors les deux nombres sont égaux. Dans ce cas, la porte de passage PG0 est bloquée par le signal OUT\_XOR4\_b du premier bloc comparateur 4bits 31, tandis que la porte de passage PG1 est bloquée par la NOR0. L'entrée de la NOR2 est forcée à 1 par la sortie de la NOR1, celle-ci est égale à 1 lorsque les deux signaux OUT\_XOR4\_b (des premier et second blocs comparateur 4bits 31 et 32) sont à 0. La sortie OUT\_COMP8 est ainsi égale à 1, et d'une manière générale, le signal OUT\_COMP8 est égal à 1 lorsque N est inférieur ou égal à P. La sortie OUT\_XOR8\_b est alors égale à 0. Elle est à 0 chaque fois que les deux nombres N et P sont égaux.

Second cas : si le signal OUT\_XOR4\_b du second bloc 32 est égal à 1, les deux nombres sont alors différents et la valeur du signal OUT\_COMP8 indique lequel des deux nombres est le plus grand (OUT\_COMP8 est à 0 si N est supérieur à P). Dans ce cas, l'entrée de la NOR2 est à 0.

Un inverseur de faible dimension (faible courant) 37 rebouclé à la NOR2 permet de mémoriser la valeur de la comparaison à la fin de l'opération.

Comme illustré sur la **figure 4**, le bloc comparateur 4 bits peut comprendre des moyens (optionnels) de mémorisation de la valeur présente sur la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 (bloc comparateur 4 bits) de la figure 2.

C'est notamment le cas lorsque le bloc comparateur 4 bits est utilisé seul (et non pas dans un bloc comparateur 8 bits comme décrit ci-dessus en relation avec la figure 3).

Une porte NOR 41 reçoit en entrée les sorties OUT\_COMP4 et OUT\_XOR4 du bloc comparateur 4 bits. Sa sortie est suivie d'un inverseur 42. Un inverseur de faible

dimension (faible courant) 43 rebouclé à la porte NOR 41 permet de mémoriser la valeur de la comparaison à la fin de l'opération.

## REVENDICATIONS

1. Dispositif de comparaison de deux mots N et P de n bits chacun, caractérisé en ce qu'il comprend au moins un bloc comparateur de niveau 1 comprenant lui-même :
  - n blocs comparateur de base, permettant chacun de comparer les bits  $N_i$  et  $P_i$  de rang i des mots N et P, avec i compris entre 0 et n-1, et comprenant chacun :
    - \* un premier sous-bloc permettant de générer sur sa sortie, formant une première sortie (OUT\_XOR $_i$ ) du bloc comparateur de base, un premier signal indiquant si les bits  $N_i$  et  $P_i$  sont égaux ou non ;
    - \* un second sous-bloc permettant de générer sur sa sortie un second signal indiquant lequel des bits  $N_i$  et  $P_i$  est le plus grand ;
    - \* un troisième sous-bloc permettant de laisser passer le second signal sur une seconde sortie (SOUT $_i$ ) du bloc comparateur de base, si le premier signal n'indique pas une égalité des bits  $N_i$  et  $P_i$ , et de bloquer le second signal dans le cas contraire ;
  - des moyens de génération d'un troisième signal sur une première sortie (OUT\_XOR4\_b) du bloc comparateur de niveau 1, indiquant que les nombres N et P sont égaux si les n premiers signaux indiquent que les n bits  $N_i$  et les n bits  $P_i$  sont égaux, et indiquant que les nombres N et P ne sont pas égaux dans le cas contraire ;
  - des premiers moyens de passage sélectif, permettant de relier sélectivement à une seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 la seconde sortie (SOUT $_i$ ) d'un bloc comparateur de base qui, parmi les blocs comparateurs de base ayant un second signal sur leur seconde sortie, traite des bits de plus fort poids, le signal présent sur la seconde sortie du bloc comparateur de niveau 1 indiquant lequel des nombres N et P est le plus grand.
2. Dispositif selon la revendication 1, caractérisé en ce que le premier sous-bloc comprend une porte « OU exclusif » recevant en entrée les bits  $N_i$  et  $P_i$ .
3. Dispositif selon l'une quelconque des revendications 1 et 2, caractérisé en ce que le second sous-bloc comprend une porte « OU » recevant en entrée le bit  $P_i$  et, via un inverseur, le bit  $N_i$ .

4. Dispositif selon l'une quelconque des revendications 1 à 3, caractérisé en ce que le troisième sous-bloc comprend une porte « de passage sélectif » (pass-gate) dont l'entrée est reliée à la sortie du second sous-bloc et qui est commandée par la sortie du premier sous-bloc.

5. Dispositif selon l'une quelconque des revendications 1 à 4, caractérisé en ce que les moyens de génération du troisième signal, sur la première sortie (OUT\_XOR4\_b) du bloc comparateur de niveau 1, comprennent une porte « OU » dont les entrées sont reliées aux premières sorties (OUT\_XORi) des blocs comparateur de base.

6. Dispositif selon l'une quelconque des revendications 1 à 5, caractérisé en ce que les premiers moyens de passage sélectif comprennent :

- des moyens permettant de relier la seconde sortie (SOUTi) du bloc comparateur de base traitant les bits de poids forts  $N_{n-1}$  et  $P_{n-1}$  à la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1, de façon directe ;
- pour chacun des autres blocs comparateur de base traitant des bits  $N_j$  et  $P_j$ , avec  $j$  compris entre 0 et  $n-2$ , des moyens permettant de relier la seconde sortie (SOUTi) du bloc comparateur de base à la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1, via une porte « de passage sélectif » (pass-gate) commandée par la sortie d'une porte « OU » dont les entrées sont reliées aux premières sorties (OUT\_XORi) des blocs comparateur de base de poids supérieur à  $j$ .

7. Dispositif selon l'une quelconque des revendications 1 à 6, caractérisé en ce que ledit au moins un bloc comparateur de niveau 1 comprend en outre des moyens de mémorisation de la valeur présente sur la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1.

8. Dispositif selon la revendication 7, caractérisé en ce que les moyens de mémorisation comprennent :

- une porte « NON OU » dont une première entrée est reliée à la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 et une seconde entrée est reliée, via un inverseur, à la première sortie (OUT\_XOR4\_b) du bloc comparateur de niveau 1 ;

- un inverseur faible courant reliant la sortie de ladite porte « NON OU » à la première entrée de ladite porte « NON OU ».
- 9.** Dispositif selon l'une quelconque des revendications 1 à 8, caractérisé en ce qu'il comprend au moins un bloc comparateur de niveau 2 comprenant lui-même :
- q blocs comparateur de niveau 1, avec  $q \geq 2$ , comprenant chacun une partie des n blocs comparateur de base ;
  - des moyens de génération d'un quatrième signal sur une première sortie (OUT\_XOR8\_b) du bloc comparateur de niveau 2, indiquant que les nombres N et P sont égaux si les premières sorties (OUT\_XOR4\_b) des q blocs comparateur de niveau 1 indiquent que les bits qu'ils comparent sont égaux, et indiquant que les nombres N et P ne sont pas égaux dans le cas contraire ;
  - des seconds moyens de passage sélectif, permettant de relier sélectivement à une seconde sortie (OUT\_COMP8) du bloc comparateur de niveau 2 la seconde sortie (OUT\_COMP4) d'un bloc comparateur de niveau 1 qui, parmi les blocs comparateurs de niveau 1 ayant un second signal sur leur seconde sortie, traite des bits de plus fort poids, le signal présent sur la seconde sortie du bloc comparateur de niveau 2 indiquant lequel des nombres N et P est le plus grand.
- 10.** Dispositif selon la revendication 9, caractérisé en ce que les moyens de génération du quatrième signal, sur la première sortie (OUT\_XOR8\_b) du bloc comparateur de niveau 2, comprennent une porte « OU » dont les entrées sont reliées aux premières sorties (OUT\_XOR4\_b) des blocs comparateur de niveau 1.
- 11.** Dispositif selon l'une quelconque des revendications 9 et 10, caractérisé en ce que les seconds moyens de passage sélectif comprennent :
- des moyens permettant de relier la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 traitant les bits de poids forts à la seconde sortie (OUT\_COMP8) du bloc comparateur de niveau 2, via une porte « de passage sélectif » (pass-gate) commandée par la première sortie (OUT\_XOR4\_b) du bloc comparateur de niveau 1 traitant les bits de poids forts ;
  - pour chacun des autres blocs comparateur de niveau 1, des moyens permettant de relier la seconde sortie (OUT\_COMP4) du bloc comparateur de niveau 1 à la seconde sortie (OUT\_COMP8) du bloc comparateur de niveau 2, via une porte

« de passage sélectif » (pass-gate) commandée par la sortie d'une porte « OU » dont une entrée est reliée, via un inverseur, à la première sortie (OUT\_XOR4\_b) dudit bloc comparateur de niveau 1, et dont les autres entrées sont reliées aux premières sorties (OUT\_XOR4\_b) des blocs comparateur de niveau 1 de poids supérieur.

**12.** Dispositif selon l'une quelconque des revendications 9 à 11, caractérisé en ce que ledit au moins un bloc comparateur de niveau 2 comprend en outre des moyens de mémorisation de la valeur présente sur la seconde sortie (OUT\_COMP8) du bloc comparateur de niveau 2.

**13.** Dispositif selon la revendication 12, caractérisé en ce que les moyens de mémorisation comprennent :

- une porte « NON OU » dont une première entrée est reliée à la seconde sortie (OUT\_COMP8) du bloc comparateur de niveau 2 et une seconde entrée est reliée, via un inverseur, à la première sortie (OUT\_XOR8\_b) du bloc comparateur de niveau 2 ;
- un inverseur faible courant reliant la sortie de ladite porte « NON OU » à la première entrée de ladite porte « NON OU ».

**14.** Dispositif selon l'une quelconque des revendications 1 à 13, caractérisé en ce qu'il comprend au moins un bloc comparateur de niveau k, avec  $k \geq 2$ , comprenant lui-même :

- p blocs comparateur de niveau k-1, avec  $p \geq 2$  ;
- des moyens de génération d'un cinquième signal sur une première sortie du bloc comparateur de niveau k, indiquant que les nombres N et P sont égaux si des premières sorties des p blocs comparateur de niveau k-1 indiquent que les bits qu'ils comparent sont égaux, et indiquant que les nombres N et P ne sont pas égaux dans le cas contraire ;
- des troisièmes moyens de passage sélectif, permettant de relier sélectivement à une seconde sortie du bloc comparateur de niveau k la seconde sortie d'un bloc comparateur de niveau k-1 qui, parmi les blocs comparateurs de niveau k-1 ayant un signal sur leur seconde sortie, traite des bits de plus fort poids, le signal



présent sur la seconde sortie du bloc comparateur de niveau k indiquant lequel des nombres N et P est le plus grand.

**15.** Dispositif selon l'une quelconque des revendications 1 à 14, caractérisé en ce que chaque porte « de passage sélectif » (pass-gate) comprend un transistor N monté en parallèle avec un transistor P.

**16.** Dispositif selon l'une quelconque des revendications 1 à 15, caractérisé en ce qu'il est réalisé sous la forme d'un circuit câblé.

1/4

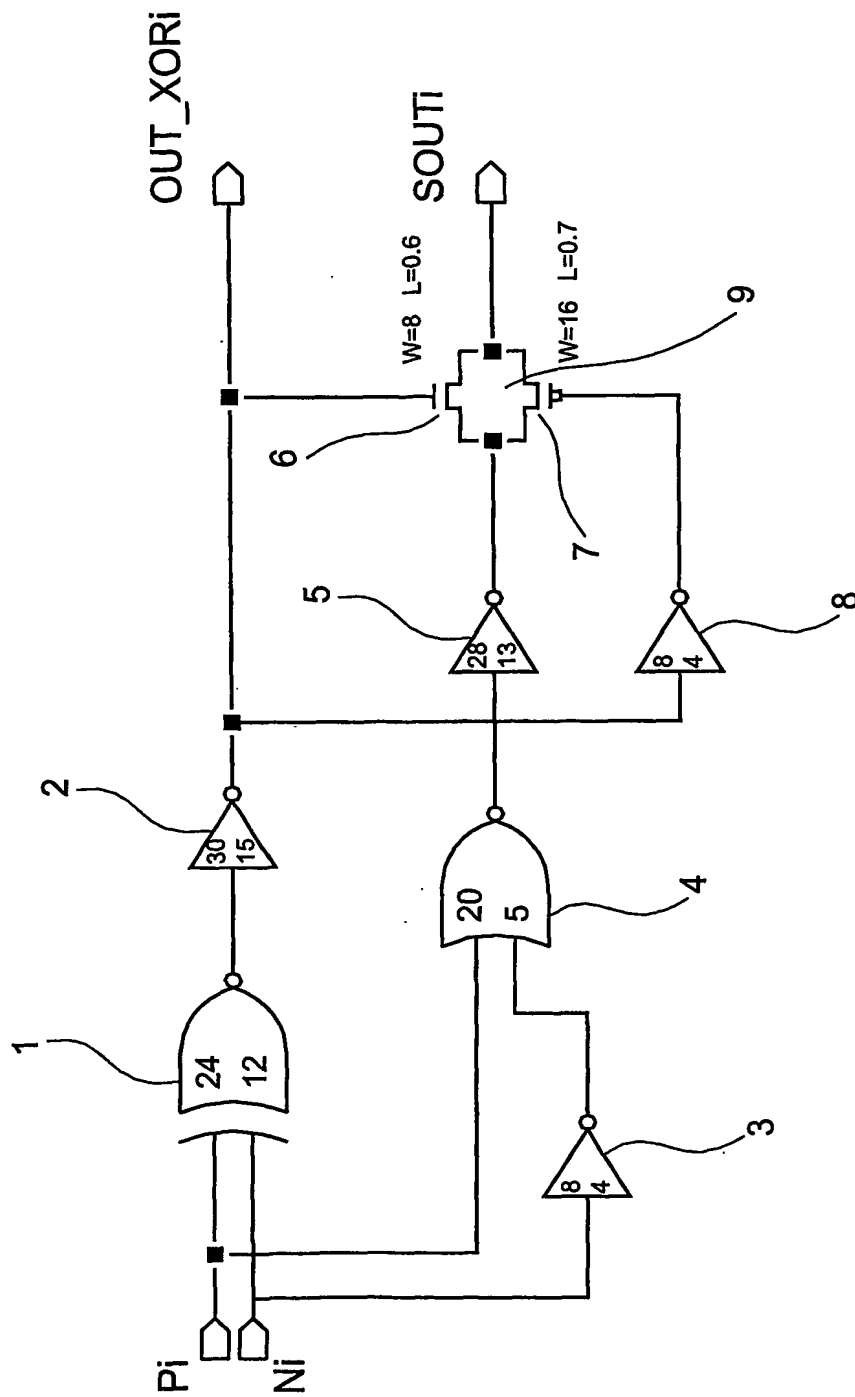


Fig. 1

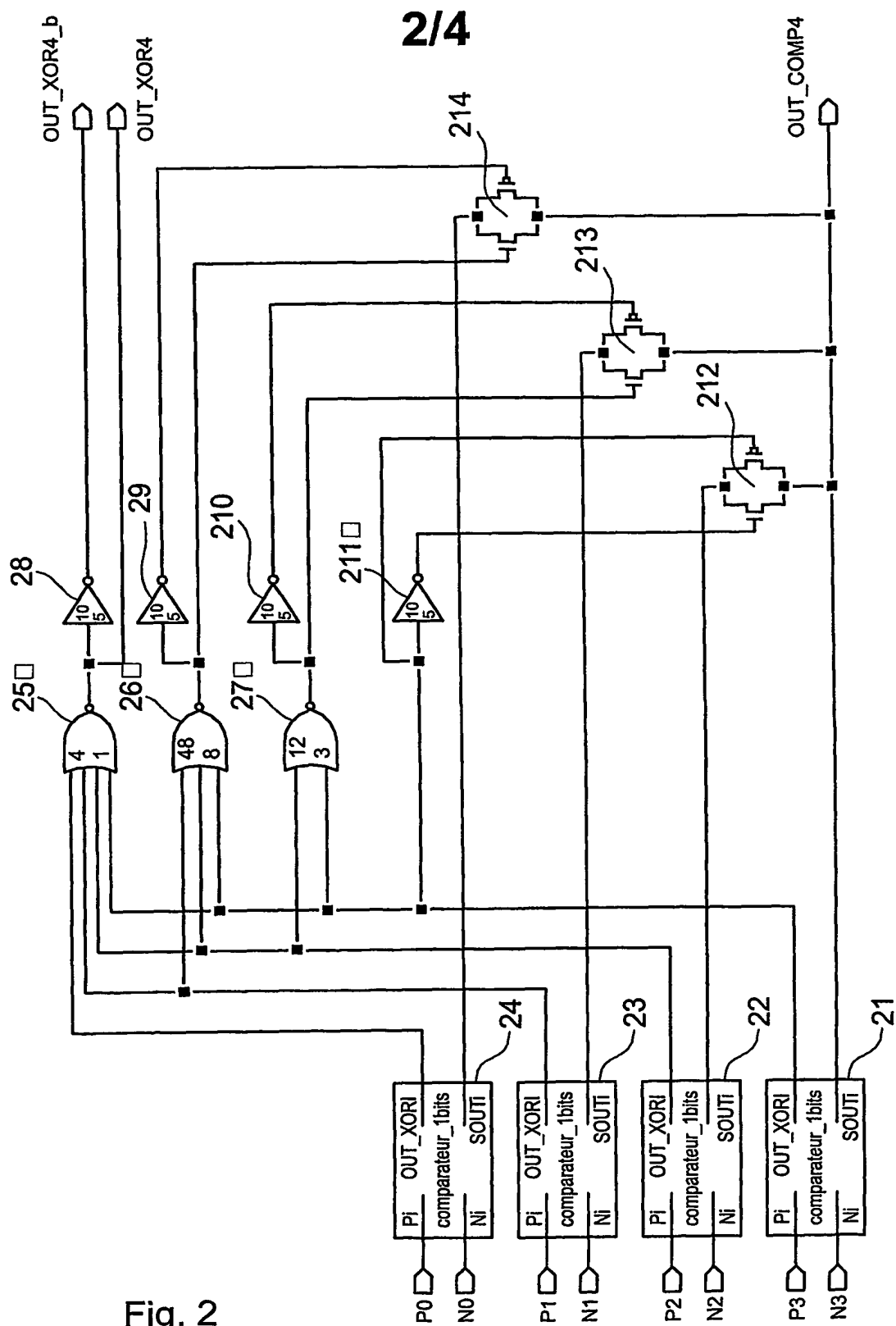
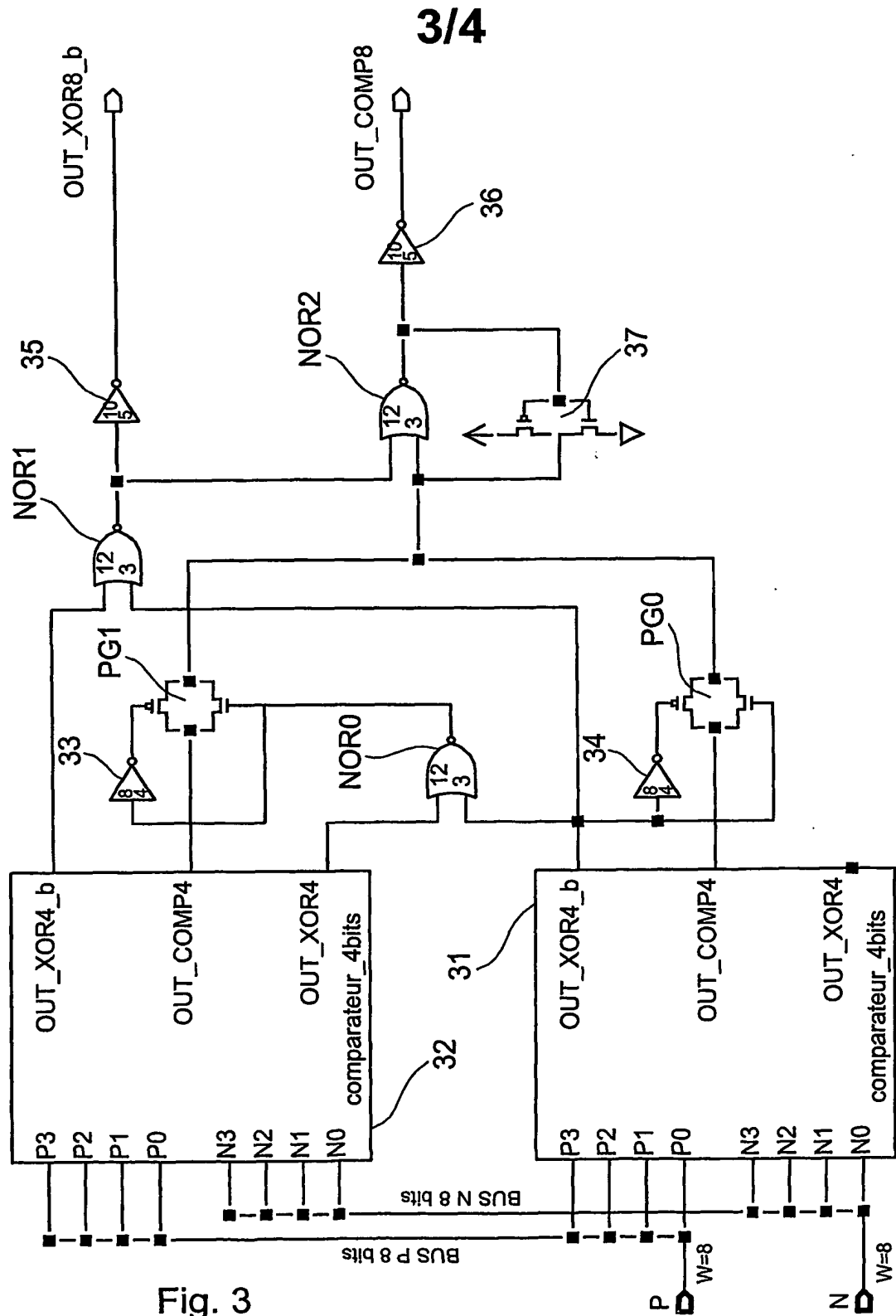


Fig. 2



**Fig. 3**

4/4

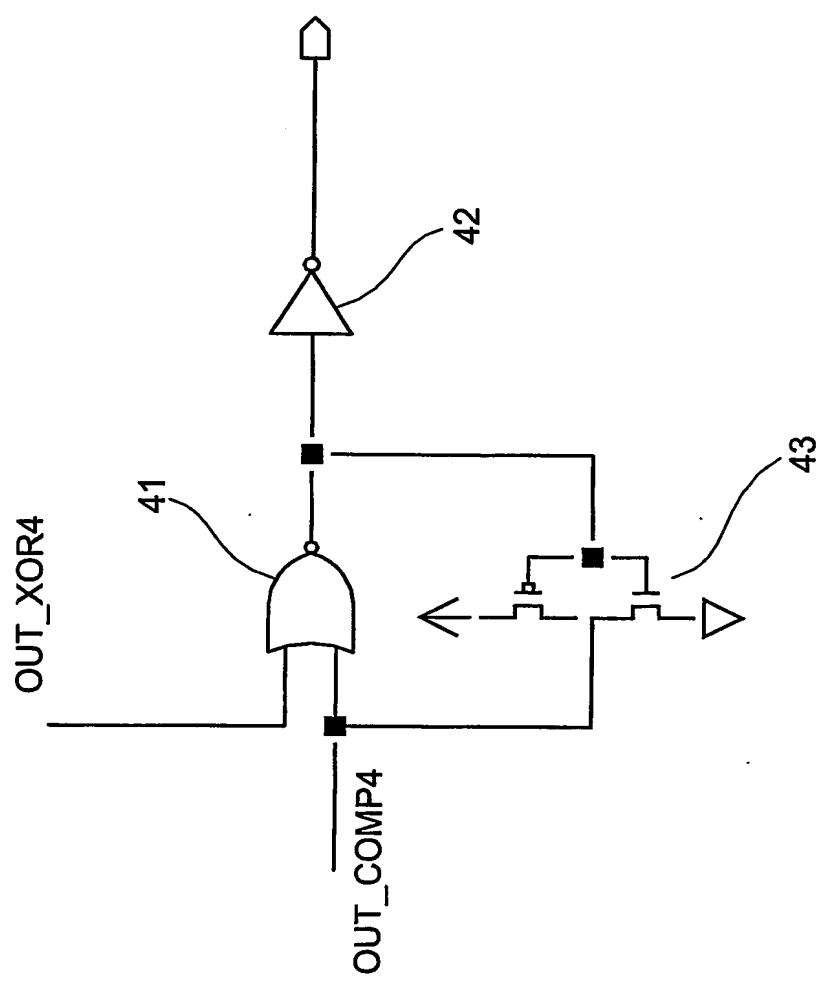


Fig. 4

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR2004/001758

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03K19/21

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No
X	US 2002/083108 A1 (TIERNO JOSE A) 27 June 2002 (2002-06-27) figure 5	1-3, 16
A	----- EP 0 939 490 A (SANYO ELECTRIC CO) 1 September 1999 (1999-09-01) figure 4	1
A	----- US 6 014 074 A (PARK SUNG SOO) 11 January 2000 (2000-01-11) figure 3 -----	1



Further documents are listed in the continuation of box C



Patent family members are listed in annex.

### \* Special categories of cited documents

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance, the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

6 December 2004

Date of mailing of the international search report

21/12/2004

Name and mailing address of the ISA

European Patent Office, P B 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Brown, J

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR2004/001758

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002083108	A1	27-06-2002	NONE
EP 0939490	A	01-09-1999	JP 3490885 B2 26-01-2004
			JP 11239054 A 31-08-1999
			EP 0939490 A2 01-09-1999
			US 6177862 B1 23-01-2001
US 6014074	A	11-01-2000	KR 258870 B1 15-06-2000
			DE 19826315 A1 01-07-1999
			JP 11249870 A 17-09-1999

# RAPPORT DE RECHERCHE INTERNATIONALE

Dem. Internationale No  
PCT/FR2004/001758

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**  
CIB 7 H03K19/21

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 7 H03K

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, PAJ, WPI Data

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no des revendications visées
X	US 2002/083108 A1 (TIERNO JOSE A) 27 juin 2002 (2002-06-27) figure 5	1-3, 16
A	EP 0 939 490 A (SANYO ELECTRIC CO) 1 septembre 1999 (1999-09-01) figure 4	1
A	US 6 014 074 A (PARK SUNG SOO) 11 janvier 2000 (2000-01-11) figure 3	1

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

\*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

\*X\* document particulièrement pertinent, l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

\*Y\* document particulièrement pertinent, l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

\*Z\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

6 décembre 2004

Date d'expédition du présent rapport de recherche internationale

21/12/2004

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx 31 651 epo nl,  
Fax (+31-70) 340-3016

Fonctionnaire autorisé

Brown, J



# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande Internationale No

PCT/FR2004/001758

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2002083108	A1	27-06-2002	AUCUN	
EP 0939490	A	01-09-1999	JP 3490885 B2	26-01-2004
			JP 11239054 A	31-08-1999
			EP 0939490 A2	01-09-1999
			US 6177862 B1	23-01-2001
US 6014074	A	11-01-2000	KR 258870 B1	15-06-2000
			DE 19826315 A1	01-07-1999
			JP 11249870 A	17-09-1999